

Practitioner's Docket No.: 040021-0305238
Client Reference No.: OPP 030839 US

PATENT

IN THE UNITED STATES PATENT AND TRADEMARK OFFICE

In re application of: GEON-OOK PARK

Confirmation No:

Application No.: 10/626,549

Group No.:

Filed: July 25, 2003

Examiner:

For: METHOD FOR MANUFACTURING MOS TRANSISTOR AND
SEMICONDUCTOR DEVICE EMPLOYING MOS TRANSISTOR MADE USING THE
SAME

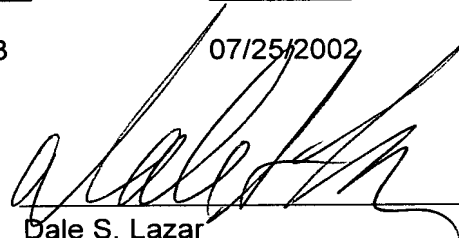
Commissioner for Patents
P.O. Box 1450
Alexandria, VA 22313-1450

SUBMISSION OF PRIORITY DOCUMENT

Attached please find the certified copy of the foreign application from which priority is
claimed for this case:

<u>Country</u>	<u>Application Number</u>	<u>Filing Date</u>
KOREA	10-2002-0043853	07/25/2002

Date: October 9, 2003
PILLSBURY WINTHROP LLP
P.O. Box 10500
McLean, VA 22102
Telephone: (703) 905-2000
Facsimile: (703) 905-2500
Customer Number: 00909


Dale S. Lazar
Registration No. 28872

대한민국 특허청

KOREAN INTELLECTUAL PROPERTY OFFICE

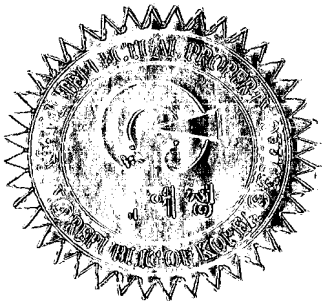
별첨 사본은 아래 출원의 원본과 동일함을 증명함.

This is to certify that the following application annexed hereto
is a true copy from the records of the Korean Intellectual
Property Office.

출원번호 : 10-2002-0043853
Application Number

출원년월일 : 2002년 07월 25일
Date of Application JUL 25, 2002

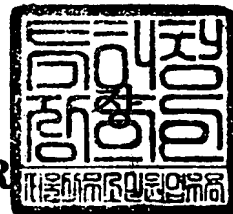
출원인 : 아남반도체 주식회사
Applicant(s) ANAM SEMICONDUCTOR., Ltd.



2003 년 07 월 15 일

특 허 청

COMMISSIONER



【서지사항】

【서류명】	특허출원서
【권리구분】	특허
【수신처】	특허청장
【참조번호】	0004
【제출일자】	2002.07.25
【발명의 명칭】	모스 트랜지스터 제조 방법
【발명의 영문명칭】	Method for manufacturing MOS transistor
【출원인】	
【명칭】	아남반도체 주식회사
【출원인코드】	1-1998-002671-9
【대리인】	
【명칭】	유미특허법인
【대리인코드】	9-2001-100003-6
【지정된변리사】	오원석
【포괄위임등록번호】	2001-041985-8
【발명자】	
【성명의 국문표기】	박건욱
【성명의 영문표기】	PARK, KEON WOOK
【주민등록번호】	680515-1023927
【우편번호】	121-220
【주소】	서울특별시 마포구 합정동 389-11번지
【국적】	KR
【심사청구】	청구
【취지】	특허법 제42조의 규정에 의한 출원, 특허법 제60조의 규정에 의한 출원심사를 청구합니다. 대리인 유미특허법인 (인)
【수수료】	
【기본출원료】	17 면 29,000 원
【가산출원료】	0 면 0 원
【우선권주장료】	0 건 0 원
【심사청구료】	7 항 333,000 원
【합계】	362,000 원
【첨부서류】	1. 요약서·명세서(도면)_1통

【요약서】**【요약】**

모스 트랜지스터 제조 방법에 관한 것으로, 그 목적은 컨택홀 형성을 위한 절연층 식각시 필드 산화막이 과도하게 식각되는 컨택 스파이킹 현상이 발생되지 않도록 하는 데 있다. 이를 위해, 본 발명에서는, 필드 산화막에 의해 정의된 소자 영역에 측벽을 가진 게이트 전극, 소스 및 드레인을 포함하는 모스 트랜지스터 소자가 형성된 실리콘 기판 상부에 티타늄을 형성하는 단계, 티타늄 상부에 차단산화막을 형성하고 선택적으로 식각하여 차단산화막이 필드 산화막 상부에만 잔류하도록 하는 단계, 실리콘 기판을 열처리하여 티타늄과 게이트 전극, 소스 및 드레인 영역의 실리콘의 반응에 의한 티타늄실리사이드를 형성하는 단계, 실리콘 기판 상부의 잔류하는 티타늄을 제거하는 단계, 필드 산화막 상부에 잔류하는 차단산화막을 제거하는 단계, 실리콘 기판을 산소 분위기에서 열처리하여 필드 산화막에 잔류하는 티타늄을 티타늄산화막으로 형성하는 단계를 포함하여 모스 트랜지스터를 제조한다.

【대표도】

도 2e

【색인어】

티타늄산화막, 스파이킹, 모스 트랜지스터

【명세서】**【발명의 명칭】**

모스 트랜지스터 제조 방법 {Method for manufacturing MOS transistor}

【도면의 간단한 설명】

도 1a 내지 1d는 종래 모스 트랜지스터 제조 방법을 도시한 단면도이다.

도 2a 내지 도 2e는 본 발명에 따른 모스 트랜지스터 제조 방법을 도시한 단면도이다.

【발명의 상세한 설명】**【발명의 목적】****【발명이 속하는 기술분야 및 그 분야의 종래기술】**

<3> 본 발명은 반도체 소자 중 모스(metal oxide silicon, MOS) 트랜지스터를 제조하는 방법에 관한 것으로, 더욱 상세하게는 콘택 형성을 위한 식각시 소자 영역에 인접한 필드 산화막이 움푹 패이는 스파이킹을 방지하기 위해 실리콘나이트라이드막을 형성하는 모스 트랜지스터 제조 방법에 관한 것이다.

<4> 일반적으로 모스 트랜지스터는 필드 효과 트랜지스터(field effect transistor, FET)의 일종으로, 반도체 기판에 형성된 소스, 드레인 영역과, 이 소스, 드레인 영역이 형성된 반도체 기판 상에 게이트 산화막과 게이트가 형성된 구조를 가진다. 이러한 모스 트랜지스터의 구조에서 전극인 소스, 드레인, 게이트 상부에는 각각 전기적 신호를 인가하기 위한 금속 배선이 연결되며, 이러한 연결을 이루는 부분이 콘택이다.

- <5> 이때 실리콘으로 형성된 각각의 전극이 오믹 접촉을 이룰 수 있도록 즉, 저항을 최소화할 수 있도록 소스/드레인, 게이트 각 전극과 금속 배선 사이에 실리사이드 막을 형성하며, 실리사이드막을 포함한 상부 전면에 컨택 형성을 위한 식각시 식각종료층의 역할을 수행하는 실리콘나이트라이드막을 증착한다.
- <6> 그러면 도 1a 내지 도 1d를 참조하여 종래 모스 트랜지스터를 제조하는 방법을 개략적으로 설명한다.
- <7> 먼저 도 1a에 도시한 바와 같이, LOCOS(local oxidation of silicon) 공정이나 트렌치(trench) 공정으로 형성한 필드 산화막(2)에 의해 소자 영역이 정의된 실리콘웨이퍼(1)를 열산화하여 소자 영역의 실리콘웨이퍼 표면에 게이트 산화막(3)을 성장시키고, 실리콘웨이퍼(1) 상부 전면에 게이트 전극(4)으로 사용될 폴리실리콘을 증착한 다음, 폴리실리콘과 게이트 산화막(3)을 소정폭으로 패터닝한다.
- <8> 이어서, 게이트 전극(4)을 마스크로 이용하여 소자 영역의 실리콘웨이퍼(1)에 P형 또는 N형 도펀트를 저농도로 이온 주입함으로써 소자 영역의 실리콘웨이퍼(1)에 엘디디(LDD:lightly doped drain)(5)를 형성하고, 게이트 산화막(3) 및 게이트 전극(4)의 양 측방에 측벽(side wall)(6)을 형성한 후, 측벽(6) 및 게이트 전극(4)을 마스크로 이용하여 소자 영역의 실리콘웨이퍼(1)에 LDD(5)와 동일한 도전형의 도펀트를 고농도로 이온 주입함으로써 소자 영역의 실리콘웨이퍼(1)에 소스, 드레인(7)을 형성한다.
- <9> 다음, 스퍼터링에 의해 실리콘웨이퍼(1) 상부 전면에 티타늄(8)을 400Å 정도로 증착하고, 도 1b에 도시된 바와 같이, 질소를 50 sccm 정도의 유량으로 불어

넣어주면서 750℃ 정도의 온도에서 30초 정도동안 급속열처리(RTP:rapid thermal processing)함으로써 티타늄과 실리콘의 반응에 의해 티타늄 실리사이드(8')를 형성한다. 이때 측벽과 필드 산화막 상의 티타늄은 반응하지 못하여 미반응 티타늄(8)으로 남는다.

<10> 이러한 미반응 티타늄은 금속이므로 소자의 작동에 방해지 되지 않도록 하기 위하여, 도 1c에 도시된 바와 같이 용액을 이용하여 제거하고, 실리사이드(9')의 저항을 낮추고 강도를 높이기 위하여 질소 분위기에서 910℃ 정도의 온도에서 열처리한다.

<11> 다음, 콘택 형성을 위한 식각시 식각종료층으로 사용될 라이너(liner)막 형성을 위해, 플라즈마 화학기상증착법(PECVD)에 의해 실리콘나이트라이드막(9)을 300Å 정도 증착한다.

<12> 이 때, 필드 산화막 형성시 구조적인 문제로 인하여 실리콘웨이퍼의 소자 영역과 인접한 부분(도 1c에서 점선 원으로 표시)에서 필드 산화막이 움푹 패이는데, 이와 같이 움푹 패인 부분 상에는 실리콘나이트라이드막이 평탄한 부분 상에 증착되는 경우에 비해 얇게 증착된다.

<13> 다음, 실리콘나이트라이드막(9) 상에 절연층인 피엠디(PMD:pre metal dielectric)층(10)을 상압화학기상증착법(APCVD)에 의해 두껍게 형성하고 PMD층(10)의 강도 향상을 위해 열처리한 후, 화학기계적 연마하여 상면을 평탄화시킨다.

<14> 이어서, 평탄화된 PMD층(10) 상에 콘택 형성을 위한 감광막 패턴(11)을 형성한 후, 도 1d에 도시된 바와 같이, 감광막 패턴(11)을 마스크로 이용하여 상면이 노출된 PMD층(10)을 식각하여 콘택홀(12)을 형성한다.

- <15> 그러나, PMD층(10) 식각시 식각 종료층으로 사용되는 실리콘나이트라이드막(9)이 균일한 두께로 형성되어 있지 않기 때문에, 소자 영역과 인접한 필드 산화막의 움푹 패인 부분 상에 형성된 얇은 실리콘나이트라이드막은 평탄한 부분 상의 실리콘나이트라이드막보다 빨리 식각되어 그 하부의 필드 산화막까지 과도식각되는 컨택 스파이킹 현상(도 1d에서 점선원으로 표시)이 발생하는 문제점이 있었다.
- <16> 다음, 실리콘웨이퍼(1)의 상부 전면에 베리어금속막으로서 TiN(13)을 얇게 증착한 후, 텅스텐(14)을 형성하여 컨택홀을 매립한다.
- <17> 상기한 바와 같은 종래 모스 트랜지스터 제조 방법에서, 컨택 스파이킹 현상은 상술한 바와 같은 필드 옥사이드의 움푹 패이는 결함뿐만 아니라, 컨택 형성을 위한 감광막 패턴 형성시 감광막 패턴의 오정렬에 의해서도 발생할 수 있다.
- <18> 컨택 스파이킹 현상이 발생되면 그 부분에 베리어금속막과 텅스텐이 채워짐으로 인해 소스, 드레인에서의 전류의 흐름을 방해하고, 이는 소자의 오작동을 유발하는 문제점이 있었다.

【발명이 이루고자 하는 기술적 과제】

- <19> 본 발명은 상기한 바와 같은 문제점을 해결하기 위한 것으로, 그 목적은 컨택홀 형성을 위한 절연층 식각시 필드 산화막이 과도하게 식각되는 컨택 스파이킹 현상이 발생되지 않도록 하는 데 있다.

【발명의 구성 및 작용】

- <20> 상기한 바와 같은 목적을 달성하기 위하여, 본 발명에서는 필드 산화막 상에 티타늄산화막을 형성하는 것을 특징으로 한다.

- <21> 즉, 본 발명에 따른 모스 트랜지스터 제조 방법은, 필드 산화막에 의해 정의된 소자 영역에 측벽을 가진 게이트 전극, 소스 및 드레인을 포함하는 모스 트랜지스터 소자가 형성된 실리콘 기판 상부에 티타늄을 형성하는 단계, 티타늄 상부에 차단산화막을 형성하고 선택적으로 식각하여 차단산화막이 필드 산화막 상부에만 잔류하도록 하는 단계, 실리콘 기판을 열처리하여 티타늄과 게이트 전극, 소스 및 드레인 영역의 실리콘의 반응에 의한 티타늄실리사이드를 형성하는 단계, 실리콘 기판 상부의 잔류하는 티타늄을 제거하는 단계, 필드 산화막 상부에 잔류하는 차단산화막을 제거하는 단계, 실리콘 기판을 산소 분위기에서 열처리하여 필드 산화막에 잔류하는 티타늄을 티타늄산화막으로 형성하는 단계를 포함하는 것을 특징으로 한다.
- <22> 여기서, 차단산화막은 플라즈마화학기상증착법에 의해 800~1200 Å의 두께로 형성하는 것이 바람직하다.
- <23> 또한, 차단산화막을 선택적으로 식각할 때에는, 차단산화막 상에 소자 영역을 노출시키는 감광막 패턴을 형성하고 그 감광막 패턴을 마스크로 하여 노출된 소자 영역의 차단산화막을 습식식각하여 제거함으로써, 필드 산화막 상에 차단산화막을 남기는 것이 바람직하다.
- <24> 그리고, 티타늄산화막 형성을 위한 열처리는, 산소 분위기에서 700~800℃의 온도로 20~40초 동안 급속열처리함으로써 이루어지는 것이 바람직하다.
- <25> 이하, 본 발명에 따른 모스 트랜지스터 제조 방법에 대해 첨부된 도면을 참조하여 상세히 설명한다.

- <26> 도 2a 내지 2e는 본 발명에 따른 모스 트랜지스터 제조 방법을 도시한 단면도이다.
- <27> 먼저, 도 2a에 도시한 바와 같이, 실리콘웨이퍼(21)의 소정영역에 LOCOS 공정이나 트렌치 공정으로 필드 산화막(22)을 형성하여, 실리콘웨이퍼(21)에서 필드 산화막이 형성된 부분을 소자 분리 영역으로, 그 외의 부분을 소자 영역으로 정의하고, 실리콘웨이퍼(21)를 열산화하여 소자 영역의 실리콘웨이퍼 표면에 게이트 산화막(23)을 성장시킨다. 이어서, 실리콘웨이퍼(21)의 상부 전면에 게이트 전극(24)으로 사용될 폴리실리콘을 증착한 다음, 폴리실리콘과 게이트 산화막(23)을 소정폭으로 패터닝한다.
- <28> 이어서, 게이트 전극(24)을 마스크로 이용하여 소자 영역의 실리콘웨이퍼(21)에 P형 또는 N형 도펀트를 저농도로 이온 주입함으로써 소자 영역의 실리콘웨이퍼(21)에 LDD(25)를 형성하고, 게이트 산화막(23) 및 게이트 전극(24)의 양 측방에 측벽(26)을 형성한 후, 측벽(26) 및 게이트 전극(24)을 마스크로 이용하여 소자 영역의 실리콘웨이퍼(21)에 LDD(25)와 동일한 도전형의 도펀트를 고농도로 이온 주입함으로써 소자 영역의 실리콘웨이퍼(21)에 소스, 드레인(27)을 형성한다.
- <29> 다음, 스퍼터링에 의해 실리콘웨이퍼(21)의 상부 전면에 티타늄(28)을 300~500 Å 정도의 두께로 증착하고, 티타늄(28) 상에 차단산화막(29)을 플라즈마 화학기상증착법 등을 이용하여 800~1200 Å 정도로 증착한다. 이 때 바람직한 티타늄(28)의 증착두께는 400 Å 이고, 차단산화막(29)의 증착두께는 1000 Å 이다.
- <30> 다음, 도 2b에 도시된 바와 같이, 차단산화막(29) 상에 감광막을 도포하고 노광 및 현상하여 소자 영역만을 노출시키는 역액티브 패턴(30)을 형성한 후, 역액티브 패턴

(30)을 마스크로 이용하여 노출된 차단산화막(29)을 습식식각하여 제거함으로써, 차단산화막(29)을 필드 산화막(22) 상에만 잔류하도록 한다.

<31> 이어서, 질소를 50 sccm 정도의 유량으로 불어넣어주면서 700~800℃ 정도의 온도에서 20~40초 정도동안 급속열처리함으로써 티타늄과 실리콘의 반응에 의해 티타늄 실리사이드(28')를 형성한다. 티타늄실리사이드(28') 형성을 위한 바람직한 급속 열처리 온도 및 시간은 750℃ 및 30초이다.

<32> 이와 같이 게이트 전극(24), 소스 및 드레인(27)의 실리콘은 티타늄(28)과 반응하여 티타늄실리사이드(28')를 형성하지만, 측벽(26)과 필드 산화막(22) 상의 티타늄은 반응하지 못하여 미반응 티타늄(28)으로 남는다.

<33> 이러한 미반응 티타늄은 금속이므로 소자의 작동에 방해가 되지 않도록 하기 위하여, 도 2c에 도시된 바와 같이 용액을 이용하여 제거하는데, 이 때 필드 산화막(22) 상의 미반응 티타늄은 차단산화막(29)에 의해 제거공정으로부터 차단되어 제거되지 않으며, 다만 측벽(26) 상에 있는 미반응 티타늄만이 제거된다. 이어서, 용액을 이용하여 필드 산화막(22) 상부에 잔류하는 차단산화막(29)을 제거한다.

<34> 다음, 도 2d에 도시된 바와 같이, 산소를 50 sccm 정도의 유량으로 불어넣어주면서 700~800℃ 정도의 온도에서 20~40초 정도동안 급속열처리함으로써 필드산화막(22) 상의 미반응 티타늄을 산화시켜 티타늄산화막(31)으로 형성한다. 티타늄산화막(31) 형성을 위한 바람직한 급속 열처리 온도 및 시간은 750℃ 및 30초이다. 이때 소자 영역의 티타늄 실리사이드(28')는 산소와 거의 반응하지 않는다. 이어서, 티타늄 실리사이드(28')의 저항을 낮추고 강도를 높이기 위하여 질소 분위기에서 850~950℃ 정도의 온도로 5~15초 정도동안 급속열처리한다. 이 때 바람직하게는 910℃에서 10초 동안 급속열처리한다.

- <35> 다음, 콘택 형성을 위한 식각시 식각종료층으로 사용될 라이너막 형성을 위해, 플라즈마 화학기상증착법에 의해 실리콘나이트라이드막(32)을 200~400 Å 정도 증착한다. 바람직한 실리콘나이트라이드막(29)의 두께는 300 Å이다.
- <36> 다음, 실리콘나이트라이드막(32) 상에 절연층인 PMD층(33)을 상압화학기상증착법에 의해 두껍게 형성하고 PMD층(33)의 강도 향상을 위해 질소 분위기에서 600~800℃의 온도로 30~50초 동안 열처리한 후, 화학기계적 연마하여 상면을 평탄화시킨다. 이 때 PMD층(33)의 강도 향상을 위한 열처리의 바람직한 온도 및 시간은 700℃의 및 40초이다.
- <37> 이어서, 평탄화된 PMD층(33) 상에 콘택 형성을 위한 감광막 패턴(34)을 형성한다.
- <38> 다음, 도 2e에 도시된 바와 같이, 감광막 패턴(34)을 마스크로 이용하여 상면이 노출된 PMD층(33)을 식각하여 콘택홀(35)을 형성한다.
- <39> 이 때, 필드 산화막 상에는 티타늄산화막(31)이 형성되어 있기 때문에 소자 영역과 인접한 필드 산화막의 움푹 패인 부분 상에는 티타늄산화막이 그 하부의 필드 산화막의 과도식각을 막아준다.
- <40> 다음, 실리콘웨이퍼(21)의 상부 전면에 베리어금속막으로서 TiN(36)을 얇게 증착한 후, 텅스텐(37)을 형성하여 콘택홀을 매립한다.

【발명의 효과】

- <41> 상술한 바와 같이, 본 발명에서는 차단산화막을 이용하여 필드 산화막 상에 티타늄산화막을 형성하기 때문에, 콘택 형성을 위한 식각시 필드 산화막 자체의 움푹 패이는 결함 또는 감광막 패턴의 오정렬에 기인하여 소자 영역에 인접한 필드 산화막까지 과도식각되는 콘택 스파이킹이 방지되는 효과가 있다.

<42> 따라서, 컨택 스파이킹에 의한 누설전류를 방지하고 소자의 오동작을 방지하는 효과가 있다.

【특허청구범위】**【청구항 1】**

필드 산화막에 의해 정의된 소자 영역에 측벽을 가진 게이트 전극, 소스 및 드레인
을 포함하는 모스 트랜지스터 소자가 형성된 실리콘 기판 상부에 티타늄을 형성하는 단
계,

상기 티타늄 상부에 차단산화막을 형성하고 선택적으로 식각하여 상기 차단산화막
이 상기 필드 산화막 상부에만 잔류하도록 하는 단계,

상기 실리콘 기판을 열처리하여 상기 티타늄과 상기 게이트 전극, 소스 및 드레인
영역의 실리콘의 반응에 의한 티타늄실리사이드를 형성하는 단계,

상기 실리콘 기판 상부의 잔류하는 티타늄을 제거하는 단계,

상기 필드 산화막 상부에 잔류하는 상기 차단산화막을 제거하는 단계,

상기 실리콘 기판을 산소 분위기에서 열처리하여 상기 필드 산화막에 잔류하는 티
타늄을 티타늄산화막으로 형성하는 단계

를 포함하는 모스 트랜지스터 제조 방법.

【청구항 2】

제 1 항에 있어서,

상기 티타늄은 스퍼터링(sputtering)법에 의해 300~500Å의 두께로 형성하는 것을
특징으로 하는 모스 트랜지스터 소자 제조 방법.

【청구항 3】

제 1 항에 있어서,

상기 티타늄실리사이드 형성을 위한 열처리는, 질소 분위기에서 700~800℃의 온도로 20~40초 동안 급속열처리(RTP:rapid thermal processing)함으로써 이루어지는 것을 특징으로 하는 모스 트랜지스터 소자 제조 방법.

【청구항 4】

제 1 항에 있어서,

상기 티타늄산화막 형성 후에는, 티타늄실리사이드의 저항을 낮추기 위해 질소 분위기에서 850~950℃의 온도로 5~15초 동안 급속열처리하는 단계를 더 수행하는 것을 특징으로 하는 모스 트랜지스터 소자 제조 방법.

【청구항 5】

제 1 항에 있어서,

상기 차단산화막은 플라즈마화학기상증착법에 의해 800~1200Å의 두께로 형성하는 것을 특징으로 하는 모스 트랜지스터 소자 제조 방법.

【청구항 6】

제 1 항에 있어서,

상기 차단산화막을 선택적으로 식각할 때에는, 상기 차단산화막 상에 상기 소자 영역을 노출시키는 감광막 패턴을 형성하고 상기 감광막 패턴을 마스크로 하여 노출된 소자 영역의 차단산화막을 습식식각하여 제거함으로써, 상기 필드 산화막 상에 상기 차단산화막을 남기는 것을 특징으로 하는 모스 트랜지스터 소자 제조 방법.

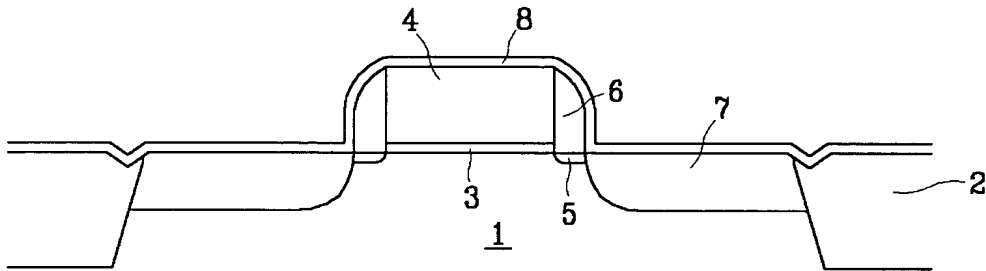
【청구항 7】

제 1 항에 있어서,

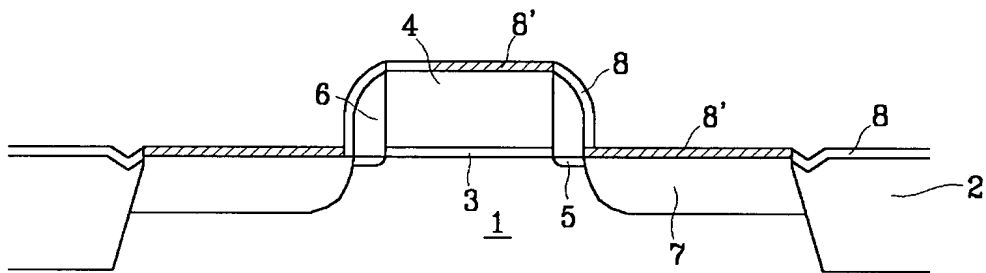
상기 티타늄산화막 형성을 위한 열처리는, 산소 분위기에서 700~800℃의 온도로 20~40초 동안 급속열처리함으로써 이루어지는 것을 특징으로 하는 모스 트랜지스터 소자 제조 방법.

【도면】

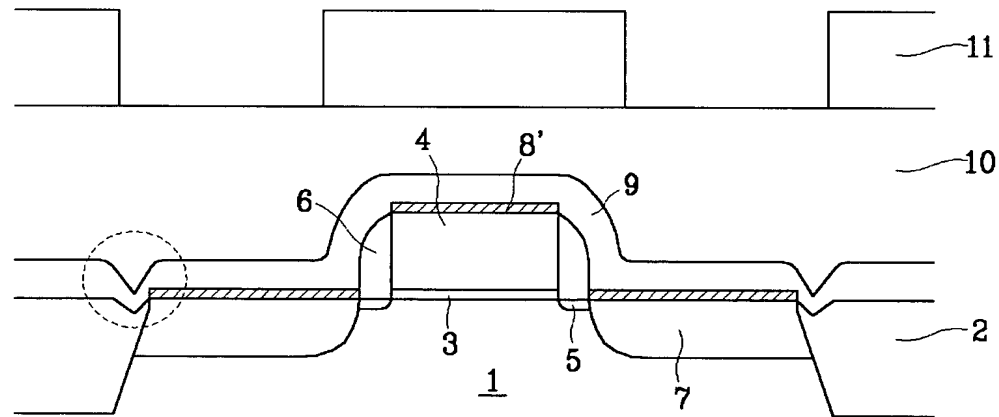
【도 1a】



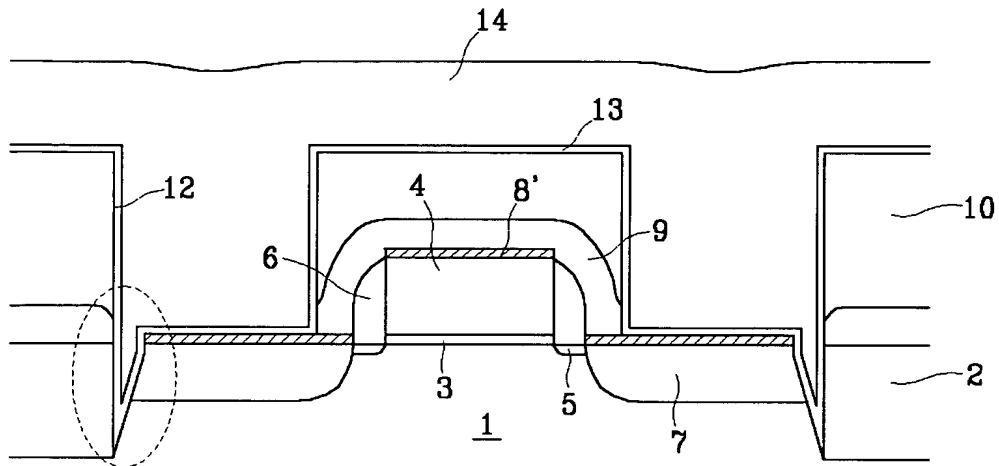
【도 1b】



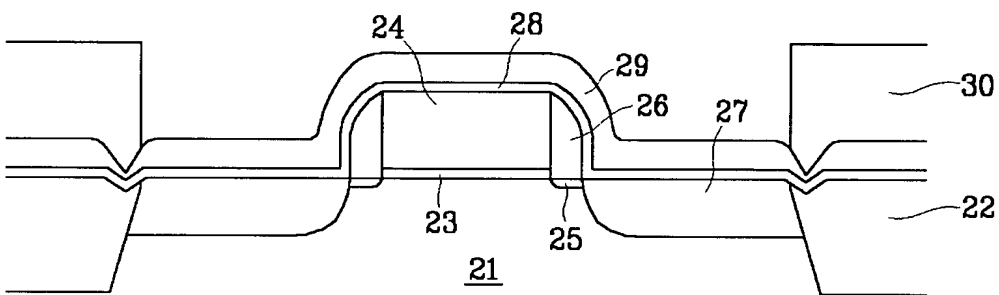
【도 1c】



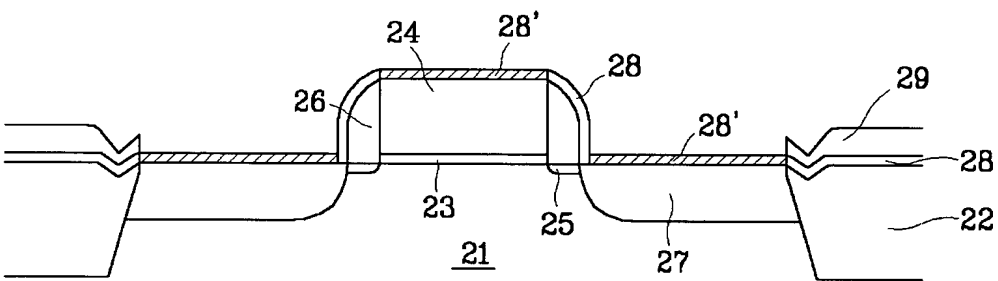
【도 1d】



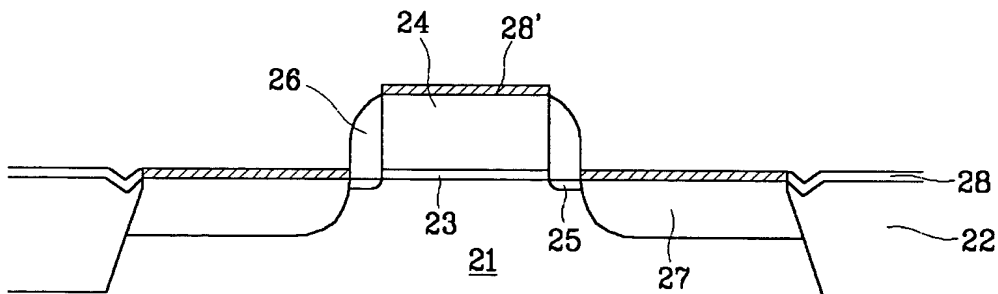
【도 2a】



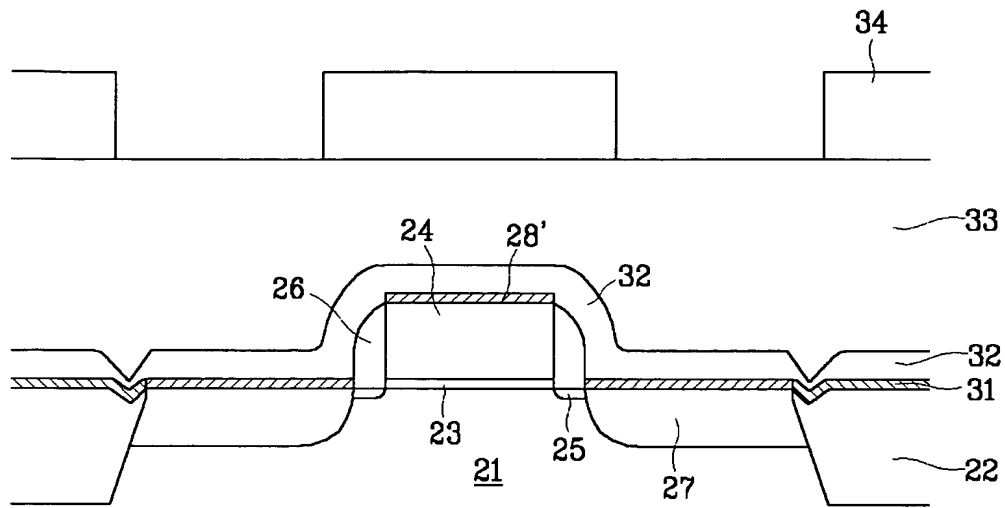
【도 2b】



【도 2c】



【도 2d】



【도 2e】

